

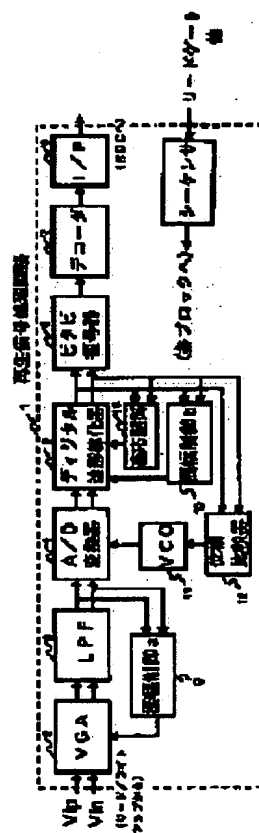
REPRODUCED SIGNAL PROCESSING CIRCUIT AND MAGNETIC RECORDING AND REPRODUCING DEVICE

Patent number: JP9044998
Publication date: 1997-02-14
Inventor: HIROOKA TSUGUYOSHI; MIYAZAWA SHOICHI;
 HOTTA RYUTARO; ISHIDA YOSHITERU; KATSU
 HARUTO; NARA TAKASHI; TAKASHI TERUMI
Applicant: HITACHI LTD
Classification:
 - international: G11B20/10; H03H21/00; H04B3/06; H04L25/03
 - european:
Application number: JP19950197504 19950802
Priority number(s):

Abstract of JP9044998

PROBLEM TO BE SOLVED: To obtain a signal processing circuit for magnetic recording device having a small circuit scale and low power consumption even though the circuit is of a PR10, system.

SOLUTION: At the time of a non-reproducing, an amplitude control is performed by controlling a VGA 2 based on the output of an LPF 3 by an amplitude control circuit (a) 9. At the time of a reproducing, an amplitude control circuit (b) 10 controls an amplitude by utilizing a waveform equalizer 5 based on the output of the equalizer 5. In the case a transversal type filter is used as the waveform equalizer 5, the amplitude is controlled by changing the coefficient of a center tap. Moreover, this circuit may be constituted so that a fixed gain is only applied to the VGA by eliminating the amplitude control circuit (a) 9. Since it is not necessary that a control amount is converted from a digital value into an analog value in the amplitude control circuit (b) 10, the circuit scale and power consumption of the circuit are remarkably reduced.



Data supplied from the esp@cenet database - Worldwide

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許公開番号

特開平9-44998

(43) 公開日 平成9年(1997)2月14日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 B 20/10	3 2 1	7736-5D	G 1 1 B 20/10	3 2 1 A
H 0 3 H 21/00		8842-5J	H 0 3 H 21/00	
H 0 4 B 3/08			H 0 4 B 3/08	C
H 0 4 L 25/03		9199-5K	H 0 4 L 25/03	C

審査請求 未請求 請求項の数10 O L (全 14 頁)

(21) 出願番号 特願平7-197504

(22) 出願日 平成7年(1995)8月2日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 広岡 嗣喜

神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(72) 発明者 宮沢 章一

神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(72) 発明者 堀田 龍太郎

神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(74) 代理人 弁理士 富田 和子

最終頁に続く

(54) 【発明の名称】 再生信号処理回路および磁気記録再生装置

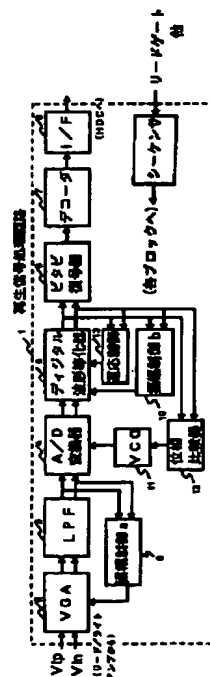
(57) 【要約】

【目的】 PRML方式でありながら、回路規模、消費電力の小さい、磁気記録装置用の信号処理回路を提供することを目的とする。

【構成】 非再生時には、振幅制御回路a 9が、LPF 3の出力に基づいてVGA 2を制御することで、振幅制御を行う。再生時には、振幅制御回路b 10が、波形等化器5の出力に基づいて波形等化器5を利用して振幅を制御する。波形等化器5としてトランスバーサル型のフィルタを用いている場合には、センタータップの係数を変更することで、振幅を制御する。さらには、振幅制御回路a 9を削除し、VGAに固定ゲインを与えるだけでもよい。

【効果】 振幅制御回路b 10では、制御量をデジタル値からアナログ値に変換する必要がないので回路規模／消費電力を大きく低減できる。

図1



1

【特許請求の範囲】

【請求項 1】 1 または 2 以上の係数を内部に備え、該係数の値に基づいて定まる特性に従って、別途記録媒体から読み出されて入力される信号に対応した信号の等化波形を生成し出力する波形等化器と、

上記係数のうちあらかじめ定められた係数の値を変更することで、上記等化波形の振幅を制御する振幅制御回路と、

上記等化波形に所定の処理を行った後、該処理後の信号を外部装置へ出力する演算回路と、

を有することを特徴とする再生信号処理回路。

【請求項 2】 上記波形等化器は、複数段のタップを備えたトランスバーサル型フィルタを含んで構成されたものであること、

を特徴とする請求項 1 記載の磁気記録再生装置。

【請求項 3】 上記あらかじめ定められた係数には、センタータップの係数を含むこと、

を特徴とする請求項 2 記載の磁気記録再生装置。

【請求項 4】 上記振幅制御回路は、あらかじめ定められた目標値を備え、該目標値と上記波形等化器の出力値との差分を求め、該差分の大きさに応じて前記係数の値を変更するものであること、

を特徴とする請求項 1 記載の再生信号処理回路。

【請求項 5】 複数の係数を内部に備え、該係数の値に基づいて定まる特性に従って、別途記録媒体から読み出されて入力される信号に対応した信号の等化波形を生成し出力する波形等化器と、

上記係数の値の上記係数間での比を設定する最適化手段と、

上記係数全体でのゲインを設定するゲイン設定手段と、

上記等化波形に所定の処理を行った後、該処理後の信号を外部装置へ出力する演算回路と、

を有することを特徴とする再生信号処理回路。

【請求項 6】 記録媒体からデータを読み取って出力する読み取り手段と、

1 または 2 以上の係数を内部に備え、該係数の値に基づいて定まる特性に従って、前記読み取り手段の出力に対応して入力される信号の等化波形を生成し出力する波形等化器と、

上記係数のうちあらかじめ定められた係数の値を変更することで、上記等化波形の振幅を制御する振幅制御回路と、

上記等化波形に所定の処理を行った後、該処理後の信号を外部装置へ出力する演算回路と、

を有することを特徴とする磁気記録再生装置。

【請求項 7】 上記波形等化器は、複数段のタップを備えたトランスバーサル型フィルタを含んで構成されたものであること、

を特徴とする請求項 6 記載の磁気記録再生装置。

【請求項 8】 上記あらかじめ定められた係数には、セン

2

タータップの係数を含むこと、

を特徴とする請求項 7 記載の磁気記録再生装置。

【請求項 9】 上記振幅制御回路は、あらかじめ定められた目標値を備え、該目標値と上記波形等化器の出力値との差分を求め、該差分の大きさに応じて前記係数の値を変更するものであること、

を特徴とする請求項 8 記載の磁気記録再生装置。

【請求項 10】 記録媒体からデータを読み取って出力する読み取り手段と、

複数の係数を内部に備え、該係数の値に基づいて定まる特性に従って、前記読み取り手段の出力に対応して入力される信号の等化波形を生成し出力する波形等化器と、上記係数の値の上記係数間での比を設定する最適化手段と、

上記係数全体でのゲインを設定するゲイン設定手段と、上記等化波形に所定の処理を行った後、該処理後の信号を外部装置へ出力する演算回路と、

を有することを特徴とする磁気記録再生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、波形等化器を備えた磁気記録再生装置に利用される再生信号処理回路およびこれをを用いた磁気記録再生装置に関する。

【0002】

【従来の技術】 PRML (Partial Response Maximum Likelihood) 方式の磁気記録装置では PR 波形等化を行う波形等化器を装置内部に有している。波形等化器を内蔵した磁気記録再生装置を、第一の従来技術として図 12 に示した。

【0003】 該磁気記録再生装置は、A/D (Analog to Digital) 変換器 103、デジタル波形等化器 104 等で構成されている。このような装置については、例えば、Rick Philiot 他「A 7MB/sec, Mixed-Signal, Magnetic Recording Channel DSP Using Partial Response Signaling With Maximum Likelihood Detection」, 1993 ISSCC 等に見られる。

【0004】 該装置では、信号振幅を制御するために、LPF (Low Pass Filter) 102 の出力 (またはデジタル波形等化器 104 の出力) と、目標値と、の差を求め、該差に基づいて VGA (Variable Gain Amplifier) 101 を制御している。そして、非再生時の期間

(あるいは、非再生時の期間と再生を指示するリードゲートがアサートした後のある期間)、即ち図 13 の期間 A の間は、LPF 102 の出力を用いる制御ループ A によって VGA を制御している。その後のリードゲートがネグートするまでの期間 (即ち、期間 B の間) は、波形等化器 104 の出力を用いる制御ループ B によって信号振幅制御を行っている。

【0005】 適応制御回路 112 は、等化誤差を最小とするように、波形等化器 104 の出力を用いて該波形等

3

化器104の動作制御を行う。

【0006】第二の従来の磁気記録再生装置の構成を図14に示した。本装置は、機能的には先に説明した回路と同様である。但し、波形等化器115及びビタビ復号器116の前半部分をアナログ回路で構成するとともに、A/D変換器を削除している点異なる。この図14のような構成は、Richard G. Yamasaki他「A 72Mb/s PRML Disk-Drive Channel Chip With An Analog Sampled-Data Signal Processor」, 1994 ISSCC等にみられる。

【0007】第三の従来の磁気記録再生装置を図15に示した。本装置は、機能的には前記従来例と同様である。但し、波形等化器126をアナログ回路で構成するとともに、A/D変換器127を該波形等化器126とビタビ復号器128との間に配置している。このような構成は、Jeff Sonntag他「A High Speed, Low Power PRML Read Channel」, 1994 Magnetic Recording Conferenceにみられる。

【0008】なお、振幅制御については、第二、第三の従来例においても第一の従来例と同様に、LPFの出力及び波形等化器の出力を用いてVGAに制御をかける方式で行っている。

【0009】

【発明が解決しようとする課題】PRML方式の信号処理回路は、従来のPD (Peak Detection) 方式の回路に比べて回路規模および消費電力が大きい。そのため、PRML方式の信号処理回路は、回路規模および消費電力を抑制することが最大の課題の1つとなっている。

【0010】ところで、前記第一の従来例ではデジタルデータをもとにVGAを制御しているため、振幅制御回路は、デジタル値を電流に変換するD/A (Digital to Analog) 変換器等を内蔵することが必要である。そのため振幅制御回路は、回路方式、動作速度等によって違いはあるものの、一般的には回路規模および消費電力が大きい。従って、振幅制御回路の回路規模および消費電力を削減することは、信号処理回路全体での回路規模および消費電力を削減するうえでも有効な方法である。

【0011】また、アナログデータをもとに振幅制御を行う場合においても、アナログ回路を用いてVGAへの制御量を算出しているため、その回路規模および消費電力が大きくなっていた。

【0012】以上述べたように、PRML方式の信号処理回路（特に、振幅制御に関する部分）においては、回路規模及び消費電力の低減が望まれていた。

【0013】本発明は、回路規模及び消費電力が小さい再生信号処理回路を提供することを目的とする。

【0014】本発明は、回路規模及び消費電力が小さい記録装置を提供することを目的とする。

【0015】

【課題を解決するための手段】波形等化器は等化誤差を最小とするように制御されているが、波形等化器自体は50

4

振幅を変化させる能力も有している。そこで、本願発明者は、波形等化器の出力からVGAを制御する回路を削除し、代わりに波形等化器の出力から波形等化器で振幅制御を行うための回路を付加することを提案する。

【0016】あるいは、VGAには固定ゲインを与える手段を設け、振幅制御のための制御ループとして、波形等化器後の出力から波形等化器で振幅制御を行うための回路を設けることを提案する。

【0017】本発明の構成をより具体的に述べれば以下のとおりである。

【0018】本発明の第1の態様としては、1または2以上の係数を内部に備え、該係数の値に基づいて定まる特性に従って、別途記録媒体から読み出されて入力される信号に対応した信号の等化波形を生成し出力する波形等化器と、上記係数のうちあらかじめ定められた係数の値を変更することで、上記等化波形の振幅を制御する振幅制御回路と、上記等化波形に所定の処理を行った後、該処理後の信号を外部装置へ出力する演算回路とを有することを特徴とする再生信号処理回路が提供される。

【0019】上記波形等化器は、複数段のタップを備えたトランスバーサル型フィルタを含んで構成されたものであることが好ましい。

【0020】上記あらかじめ定められた係数には、センタタップの係数を含むことが好ましい。

【0021】上記振幅制御回路は、あらかじめ定められた目標値を備え、該目標値と上記波形等化器の出力値との差分を求め、該差分の大きさに応じて前記係数の値を変更するものであることが好ましい。

【0022】本発明の第2の態様としては、複数の係数を内部に備え、該係数の値に基づいて定まる特性に従って、別途記録媒体から読み出されて入力される信号に対応した信号の等化波形を生成し出力する波形等化器と、上記係数の値の上記係数間での比を設定する最適化手段と、上記係数全体でのゲインを設定するゲイン設定手段と、上記等化波形に所定の処理を行った後、該処理後の信号を外部装置へ出力する演算回路と、を有することを特徴とする再生信号処理回路が提供される。

【0023】本発明の第3の態様としては、記録媒体からデータを読み取って出力する読み取り手段と、1または2以上の係数を内部に備え、該係数の値に基づいて定まる特性に従って、前記読み取り手段の出力に対応して入力される信号の等化波形を生成し出力する波形等化器と、上記係数のうちあらかじめ定められた係数の値を変更することで、上記等化波形の振幅を制御する振幅制御回路と、上記等化波形に所定の処理を行った後、該処理後の信号を外部装置へ出力する演算回路と、を有することを特徴とする磁気記録再生装置が提供される。

【0024】上記波形等化器は、複数段のタップを備えたトランスバーサル型フィルタを含んで構成されたものであってもよい。

5

【0025】上記あらかじめ定められた係数には、センタータップの係数を含むことが好ましい。

【0026】上記振幅制御回路は、あらかじめ定められた目標値を備え、該目標値と上記波形等化器の出力値との差分を求め、該差分の大きさに応じて前記係数の値を変更するものであることが好ましい。

【0027】本発明の第4の態様としては、記録媒体からデータを読み取って出力する読み取り手段と、複数の係数を内部に備え、該係数の値に基づいて定まる特性に従って、前記読み取り手段の出力に対応して入力される 10 信号の等化波形を生成し出力する波形等化器と、上記係数の値の上記係数間での比を設定する最適化手段と、上記係数全体でのゲインを設定するゲイン設定手段と、上記等化波形に所定の処理を行った後、該処理後の信号を外部装置へ出力する演算回路と、を有することを特徴とする磁気記録再生装置が提供される。

【0028】

【作用】VGA及び波形等化器への制御ループを設けた構成では、非再生時あるいは非再生時と再生時の最初のしばらくの間は、LPFの出力から振幅制御量を求めて 20 VGAに制御をかけ波形振幅を調整する。その後、波形等化器後の出力から振幅制御量を算出し、波形等化器に制御をかけ振幅調整を行う。

【0029】波形等化器への制御ループのみを設けた構成では、再生中の振幅制御は波形等化器のみにおいて行なう。ただし、ゾーンの切り換え時等にはVGAへゲイン設定値を変更して対応する。

【0030】本発明の作用を上述した態様の構成に沿って説明すれば以下の通りである。

【0031】まず、第1および第3の態様について説明 30 する。

【0032】読み取り手段は、記録媒体からデータを読み取って出力する。波形等化器は、係数の値に基づいて定まる特性に従って、読み取り手段の出力に対応して入力される信号の等化波形を生成し出力している。

【0033】この場合、振幅制御回路は、あらかじめ定められた係数の値を変更することで、等化波形の振幅を制御する。例えば、振幅制御回路が、複数段のタップを備えたトランスバースル型フィルタを含んで構成されたものである場合には、センタータップの係数を変更する 40 ことで、これを行う。該係数の変更は、具体的には、目標値と波形等化器の出力値との差分を求め、該差分の大きさに応じて前記係数の値を変更することで行うことができる。なお、ここでセンタータップの係数に着目しているのは、振幅への影響はセンタータップの係数がもっとも大きいからである。従って、等化波形の形状が大きく崩れない範囲であれば、他の係数も併せて変更するようにしても構わない。このような波形の形状の良好性と、所望の振幅を得ることとは、例えば、第2の態様の 50 ようにして両立させることが可能である。

6

【0034】この後、演算回路は、等化波形に所定の処理を行う。そして、該処理後の信号を外部の装置へ出力する。

【0035】第2および第4の態様について作用を説明する。

【0036】読み取り手段は、記録媒体からデータを読み取って出力する。波形等化器は、係数の値に基づいて定まる特性に従って、読み取り手段の出力に対応して入力される信号の等化波形を生成し出力している。

【0037】この時、最適化手段は、係数値の上記係数間での比（すなわち、等化波形の形状）を設定する。一方、ゲイン設定手段は、係数全体でのゲイン（すなわち、振幅）を設定する。このようにすれば、最適化手段による調整によって得られた等化波形の形状を保ちつつ、これを相似変形させるようにして、振幅の調整を行うことができる。形状の調整と、振幅の調整とが独立して行うことができるため、調整が容易である。

【0038】この後、演算回路は、等化波形に所定の処理を行った後、外部へ出力する。

【0039】

【実施例】以下、本発明の実施例を図を用いて説明する。

【0040】まず、本実施例の磁気記録再生装置のシステムの概要を図2を用いて説明する。

【0041】マイコン21は該装置全般の制御を行なうものである。マイコン21は、パソコンやワークステーション等のホストからのリード要求を受けて、リードのための設定／起動を行なう。ヘッド16は記録媒体15からデータを読み出して、リード／ライトアンプ17へ出力する。リード／ライトアンプ17は、このデータ信号を増幅し、再生信号処理回路1に出力する。再生信号処理回路1は、このデータ信号に対して、振幅制御、波形等化、最尤復号などを行なう。そして、その結果得られた2値のデータ（1/0）をHDC（Hard Disk Controller）18へ出力する。

【0042】HDC18は、この2値データに対して、誤り検出／訂正等の処理を行なった後、I/F（InterFace）回路19を介してホストにデータを転送する。バッファ20は、記録媒体15側のデータ読み出し速度とホスト側のデータ転送速度との速度差を吸収するために設けられたものである。

【0043】本発明は、上記各部のうち主として信号再生処理回路1に関わるものである。従って、これ以降の説明は、該信号再生処理回路1を中心に進めることにする。

【0044】本実施例の信号再生処理回路1は図1に示すとおり、VGA2と、LPF3と、A/D変換器4と、デジタル波形等化器5と、ビタビ復号器6と、デコーダ7と、I/F8と、振幅制御回路a9と、振幅制御回路b10と、VCO（Variable Controlled Oscill

7

ator) 11と、位相検出器12と、からなる。

【0045】VGA2は、振幅制御回路a9から入力される制御量に応じて、入力信号Vip及びVinの振幅を増幅するものである。該VGA2は、増幅後の信号をLPF3に出力している。

【0046】LPF3は、高周波数成分を除去するローパスフィルタである。

【0047】A/D変換器4は、LPF3の出力するアナログ信号を、デジタル値に変換するものである。

【0048】デジタル波形等化器5は、A/D変換器4の出力信号の等化を行なうものである。本実施例では、該デジタル波形等化器5として、5次のトランスバーサル型フィルタを採用している。該デジタル波形等化器5については、後ほど図3を用いて詳細に説明する。

【0049】ビタビ復号器6は、該デジタル波形等化器5の出力から、最も確からしい1/0の2値のデータ系列を求めるものである。

【0050】デコーダ7は、データを記録媒体15に記録する際に、媒体15上での記録に適したデータに変換していたものを、元のデータに戻すように逆変換するものである。

【0051】I/F回路8は、該逆変換されたデータを、HDC18に転送するものである。

【0052】位相検出回路12及びVCO11は、デジタル波形等化器5の出力に位相同期したクロックを生成するものである。

【0053】適応制御回路13は、デジタル波形等化器5の等化誤差が最小となるようにデジタル波形等化器5を制御するものである。

【0054】振幅制御回路a9は、LPF3の出力と目標振幅との差を求め、該差に基づいてVGA2への制御量を決定・出力するものである。

【0055】振幅制御回路b10は、デジタル波形等化器5の出力振幅と目標振幅との差を求め、該差に基づいてデジタル波形等化器5の制御量を求めるようになっている。そして、該制御量に従ってデジタル波形等化器5を制御するものである。該振幅制御回路b10については後ほど図4を用いて説明する。

【0056】シーケンサ210は、HDC18、マイコン21から各種制御信号（例えば、HDC18から入力されるリードゲート信号）をうけて、上述した各部の動作を制御するものである。

【0057】上述のデジタル波形等化器5の具体的構成を図3を用いて説明する。該デジタル波形等化器5は、上述したとおり5次のトランスバーサル型フィルタであり、遅延回路22～26、レジスタ33～37と、演算回路27～31と、演算回路32と、を備えて構成されている。

【0058】遅延回路22～26は、入力されてくる倍

8

号を、それぞれが1サイクル分ずつ遅延させるように構成されている。すなわち、遅延回路22は、A/D変換器4から入力されるデータDinを1サイクル分だけ遅延させて、データDin(n+2)として出力する。遅延回路23は、このDin(n+2)をさらに1サイクル遅延させて、データDin(n+1)として出力する。これに続く遅延回路24、25、26も同様に、それぞれの入力データDin(n+1)、Din(n)、Din(n-1)を、それぞれが1サイクルずつ遅延させて、データDin(n)、Din(n-1)、Din(n-2)として出力するようになっていく。

【0059】各タップに設けられたレジスタ33～37には、あらかじめ設定された係数C1～C5が格納されている。

【0060】演算回路27～32は、遅延回路22～26の出力（データDin(i) : i=n-2, ..., n+2）と、レジスタ33～37出力の係数値C1～5と、の積和を求めるように構成されている。すなわち、演算回路27は、上述のようにして得られたデータDin(n+2)と、係数C1と、を乗算する。同様に、演算回路28、29、30、31は、係数C2, ..., C5と、データDin(n+1), ..., Din(n-2)と、を乗算する。さらに、演算回路32は、演算回路27～31の演算結果の和を求める。

【0061】デジタル波形等化器5による以上述べた演算処理を式で表すと下記数1のようになる。

【0062】

$$\text{数1} \quad V_{out}(n) = C1 * D_{in}(n-2) + C2 * D_{in}(n-1) + C3 * D_{in}(n) + C4 * D_{in}(n+1) + C5 * D_{in}(n+2)$$

但し $D_{in}()$: A/D変換器4から入力されるデータ

$V_{out}()$: ビタビ復号器6に出力されるデータ

C1～C5 : 各タップの係数値

このデジタル波形等化器5では、センタータップの係数C3の値を変更することで、振幅を制御するようになっている。ここで係数C1～C5のうち、係数C3のみを振幅制御に用いるのは、センタータップの係数（ここでは、C3）が振幅に対する影響がもっとも大きいからである。該係数C3の変更は、振幅制御回路b10によって行なわれる。

【0063】また、センタータップ以外の係数C1, C2, C4, C5を変更することで、等化誤差を最小とすようになっている。係数C1, C2, C4, C5の変更は、適応制御回路13によって行なわれる。

【0064】次に、振幅制御回路b10の詳細について図4を用いて説明する。

【0065】振幅制御回路b10は、レジスタ200と、減算器202と、演算回路204と、加算器206

からなる。

【0066】レジスタ200は、あらかじめ設定された振幅値を格納しておくためのものである。該振幅値は、マイコン21からの指示に従って設定されるようになっている。

【0067】減算器202は、デジタル波形等化器5の出力データと、レジスタ200に格納されている振幅値との差分を求めるものである。

【0068】演算回路204は、減算器202の求めた差分に基づいて、係数C3の変更量を求めるものである。¹⁰

【0069】加算器206は、演算回路204の求めた変更量を、係数C3の元の値に加算することで、係数C3の新たな値を求めるものである。

【0070】なお、デジタル波形等化器5のゲインを変更しない固定ゲインモードの時には、シーケンサ210からの指示を受けて、該振幅制御回路b10は上述の変更量を常に0とするようになっている。

【0071】特許請求の範囲において言う“読み取り手段”とは、ヘッド16、リード/ライトアンプ17マイコン21等に相当するものである。“波形等化器”とは、波形等化器5に相当するものである。“振幅制御回路”とは、振幅制御回路b10に相当するものである。“演算回路”とは、ビタビ復号器6、デコーダ7、I/F8、さらには、HDC18、I/F19等に相当するものである。

【0072】再生信号処理回路1による振幅制御動作を説明する。

【0073】非再生時には、LPF3の出力に基づいて振幅制御回路a9がVGA2を制御している。この時、³⁰ 振幅制御回路b10は動作していない。

【0074】データの再生が始まっても、あらかじめ設定された期間は、振幅制御回路a9及びVGA2による信号の振幅制御が続けられる。なお、該あらかじめ設定された期間は、マイコン21によって所定のレジスタに設定されている。

【0075】この期間が終了すると、振幅制御回路a9はVGA2への制御動作を停止し、代わって振幅制御回路b10が動作し始める。VGA2は、振幅制御回路a9による制御が終了した時点でのゲインを保持したまま⁴⁰ 動作する。振幅制御回路b10は、該デジタル波形等化器5のセンタータップの係数C3の値を変更することで、振幅制御を行なう。

【0076】また、特に述べなかったが、振幅制御回路a9と、振幅制御回路b10との連携は、シーケンサ210によって実現されている。

【0077】一般的には、図5に示すように本来のデータの前には振幅制御/クロック同期のためにシンクデータ領域が設けられている。この領域のデータが転送されて来る間に、振幅制御回路a9による制御状態から、振⁵⁰

幅制御回路b10による制御状態へ切り変える。この場合、単に状態が切り替えられるだけでは不十分であり、該領域の間に、振幅制御回路b10、デジタル波形等化器5によって安定した振幅が得られるようにする。この後、本来のデータの再生に移行する。これ以降データ再生が終了するまで振幅制御回路b10等による振幅制御が続けられる。

【0078】データ再生が終了すると振幅制御回路b10等は動作を停止する。振幅制御は、再び、振幅制御回路a9およびVGA2によって行われる。

【0079】本実施例では、振幅制御はセンタータップの係数C3を変更することで、また、等化誤差の最適化はそれ以外のタップの係数C1、C2、C4、C5を変更することで行っていた。しかし、振幅制御の為にセンタータップ以外のタップの係数C1、C2、C4、C5を変更してもよい。逆に、等化誤差を最小とするためにセンタータップの係数C3を変更してもよい。このような場合のデジタル波形等化器を図6に示した。

【0080】この図6の例では、タップ係数C1～C5の値がいずれも振幅制御回路b10および適応制御回路13の両方からの制御を受けるようになっている。つまり、適応制御回路13によってタップ係数間の比（すなわち、等化波形の形状）を決定する。この係数間の比は、レジスタ241～245に格納される値の比によって設定される。そして、振幅制御回路b10によってタップ係数のゲイン（すなわち、等化波形の振幅）を決定する。この決定されたゲインは、レジスタ240に設定される。乗算器227～231は、両者の値の積を求めることによってタップ係数C1～C5を得る。遅延回路22～26、演算回路27～32は、図3と同じものでよい。

【0081】請求項5、10において言う“最適化手段”とは、この図6のような構成をとった場合における適応制御回路13に相当するものである。また、同様に、“ゲイン設定手段”とは、この図6のような構成をとった場合における振幅制御回路b10に相当するものである。

【0082】ここまでの説明では適応制御回路13と振幅制御回路b10とを独立したものとしていた。しかし、両者を1ブロックの回路で構成しても構わない。

【0083】本実施例では、5次の波形等化器を用いていた。しかし、その次数はこれに限定されるものではない。

【0084】本発明の第2の実施例を図7を用いて説明する。

【0085】本実施例はアナログ波形等化器40を採用し、これをA/D変換器41の前に配置した点を特徴とする。また、これに伴って、波形等化器への入力信号はA/D変換器41の出力信号が波形等化器への入力信号とされている。機能的には第1の実施例と同様である。

11

【0086】アナログ波形等化器40の内部構成を図8に示した。本実施例のアナログ波形等化器40は、第1の実施例(図3参照)と同様、5次のトランスバーサル型フィルタを採用している。

【0087】該アナログ波形等化器40と、第1の実施例のデジタル波形等化器5(図3参照)との違いは、アナログ回路であるかデジタル回路であるかのみである。該アナログ波形等化器40はアナログ回路であるがゆえに、係数C1~5はレジスタ61~65からDAC(Digital Analog Converter) 66~70によって電流値の形で実際の演算回路55~59に渡されるようになっている。

【0088】本実施例の動作タイミングを図9を用いて説明する。

【0089】非再生時にはLPF39の出力に基づいて振幅制御回路a45がVGA38の制御を行っている。この場合の制御は、ループゲインを低く設定されたローゲインモードで行われている。振幅制御回路b46は動作していない。

【0090】データの再生が始まると、振幅制御回路a45は、ループゲインを高く設定したハイゲインモードで、あらかじめ設定された期間だけVGA38を制御する。

【0091】この期間が終了すると、振幅制御回路a45はVGA38の制御をローゲインモードに戻す。一方、振幅制御回路b46およびアナログ波形等化器40による振幅制御が開始される。

【0092】データ再生が終了すると、振幅制御回路b46の動作は停止し、再び、振幅制御回路a45とVGA38とによる振幅制御のみが行われている状態に戻る。

【0093】なお、ここでローゲインモードとするのは、VGA38出力振幅が目標振幅より大きくずれたままにならないように制御を行うためである。一方、シンクデータ領域の最初にハイゲインモードとするのはデータ領域(シンクデータ及びデータの領域)で入力されてくる信号の出力振幅を速やかに目標振幅に合わせるためである。第1の実施例の回路構成においても、本実施例(図9参照)と同様にVGA2をハイゲイン/ローゲインモードとするように制御を行なっても良い。逆に、第2の実施例の回路構成においても、第1の実施例(図5参照)と同様に固定ゲイン期間を設けて振幅制御しても構わない。

【0094】本発明の第3の実施例を説明する。

【0095】本実施例は、実施例2と比べて、アナログ変換器40の出力後のアナログデータを用いて制御を行う点が異なる。

【0096】本実施例の再生信号処理回路を図10に示した。本実施例では、適応制御回路82、振幅制御回路b79および位相比較器81が、アナログ信号を入力信

12

号としている。また、これに伴って、A/D変換器74によってデジタル化する前の信号(つまり、アナログ波形等化器40の出力信号)をこれらへの入力信号としている。これ以外の点は、実施例2(図7参照)と同じである。該第3の実施例ではこのような構成をとることによって、実施例2に比べて処理速度が向上している(アナログ波形等化器40及びA/D変換器41による遅延が解消される)。

【0097】本発明の第4の実施例を説明する。

【0098】本実施例の再生信号処理回路は、図11に示すとおり、ピタピ復号器の入力までの回路をすべてアナログ回路で構成している。

【0099】また、初段のアンプ83の振幅制御ループを削除し、アナログ波形等化器85によってのみ振幅制御を行うようにしている。アンプ83へのゲイン設定は、レジスタ89によって行なう。該レジスタ89はデータ用ゲイン設定値を記録する領域と、サーボ用のゲイン設定値を記憶する領域とを、備えている。レジスタ89に設定するゲインの値は、記録媒体上のその時読み取り対象としているゾーンごとに異なる値を設定するものとする。

【0100】該第4の実施例によれば、再生信号処理回路のより一層の小型化が可能である。

【0101】なお、第1~第3の実施例のA/D変換器を有する回路構成でも、第四の実施例のようにVGAへの制御ループを削除した構成としてもよい。逆に第4の実施例のA/D変換器を含まない回路構成でも、第1~第3の実施例のようにVGAの制御ループと等化器への制御ループを持った構成としてもよい。

【0102】

【発明の効果】本発明によれば、波形等化器の出力に基づいてVGAを制御する制御ループを削除することができるため、回路規模および消費電力を低減できる。特に、波形等化器がデジタル回路で構成されている時は、制御量をデジタル値からアナログ値に変換するための回路部が必要がないため、この効果はさらに大きい。

【0103】VGAには固定ゲインを与えるだけの構成とすることによって、LPFからの制御ループを削減することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例における再生信号処理回路1のブロック図である。

【図2】本発明の第1の実施例である磁気記録再生装置のシステム構成図である。

【図3】デジタル波形等化器5の回路構成例である。

【図4】振幅制御回路b10の内部構成を示す図である。

【図5】再生信号処理回路1の振幅制御動作の切り換えの様子を表した図である。

13

【図6】デジタル波形等化器5の他の例を示す図である。

【図7】本発明の第2の実施例における再生信号処理回路のブロック図である。

【図8】アナログ波形等化器40の内部構成示す図である。

【図9】第2の実施例における再生信号処理回路の振幅制御動作の切り換えの様子を表した図である。

【図10】本発明の第3の実施例における再生信号処理回路のブロック図である。

【図11】本発明の第4の実施例における再生信号処理回路のブロック図である。

【図12】再生信号処理回路の第1の従来例を示す図である。

【図13】従来例の振幅制御動作の切り換えを表した図である。

【図14】再生信号処理回路の第2の従来例である。

【図15】再生信号処理回路の第3の従来例である。

【符号の説明】

1…再生信号処理回路

14

*2, 38, 71, 101, 113, 124…VGA

4, 41, 74, 103, 127…A/D変換器

5, 104…デジタル波形等化器

40, 73, 85, 115, 126…アナログ波形等化器

6, 42, 75, 86, 105, 116, 128…ビット復号器

9, 10, 45, 46, 78, 79, 89, 90, 108, 109, 119, 120, 131, 132…振幅制御回路

13, 49, 82, 93, 112, 123, 135…適応制御回路

200…レジスタ

202…減算器

204…演算回路

206…加算器

210…シーケンサ

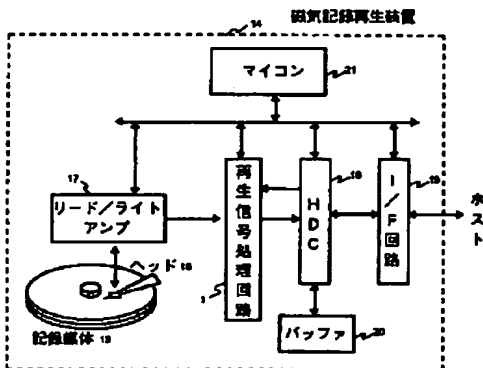
227, 228, 229, 230, 231…乗算器

240, 241, 242, 243, 244, 245…レジスタ

*20

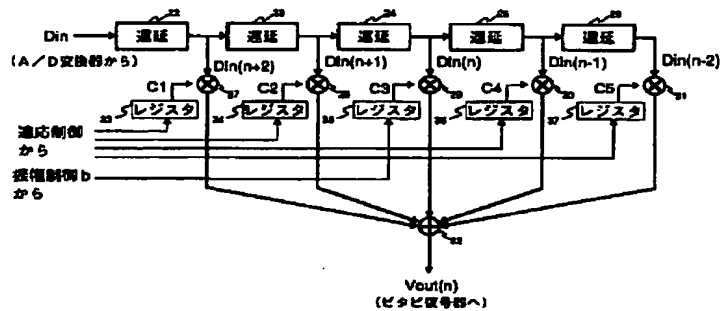
【図2】

図2



【図3】

図3



【図5】

図5

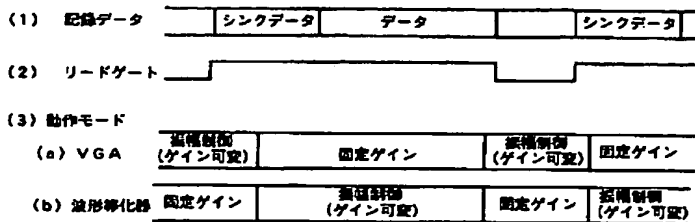
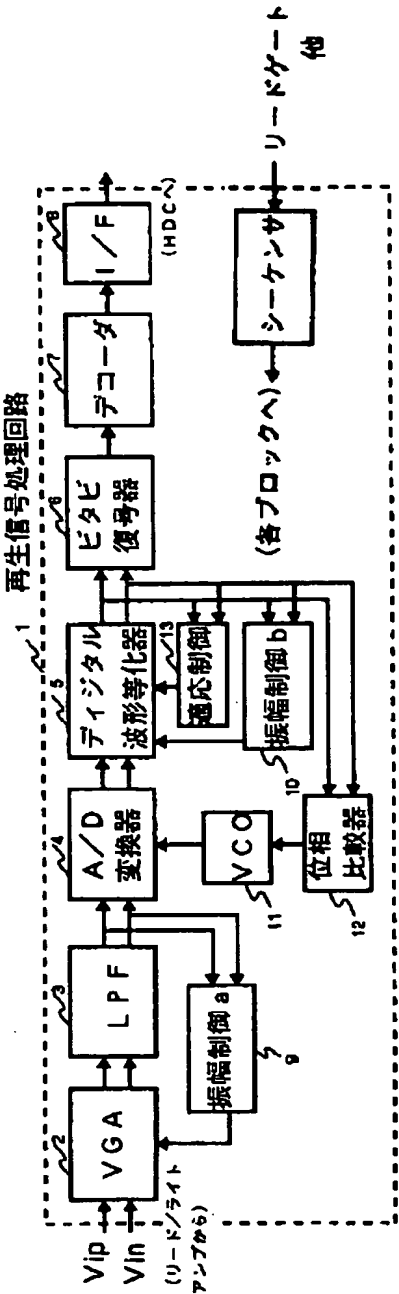


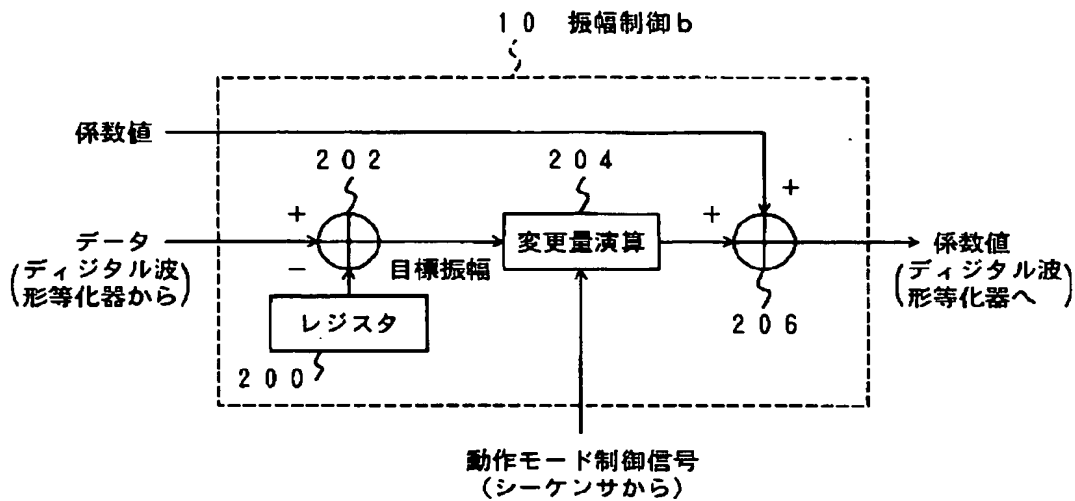
図 1



【図 1】

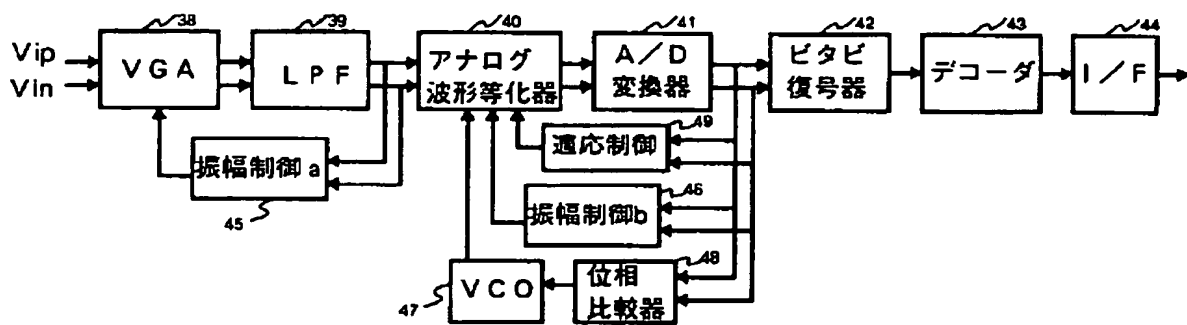
【図4】

図 4



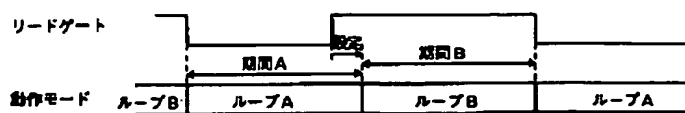
【図7】

図 7



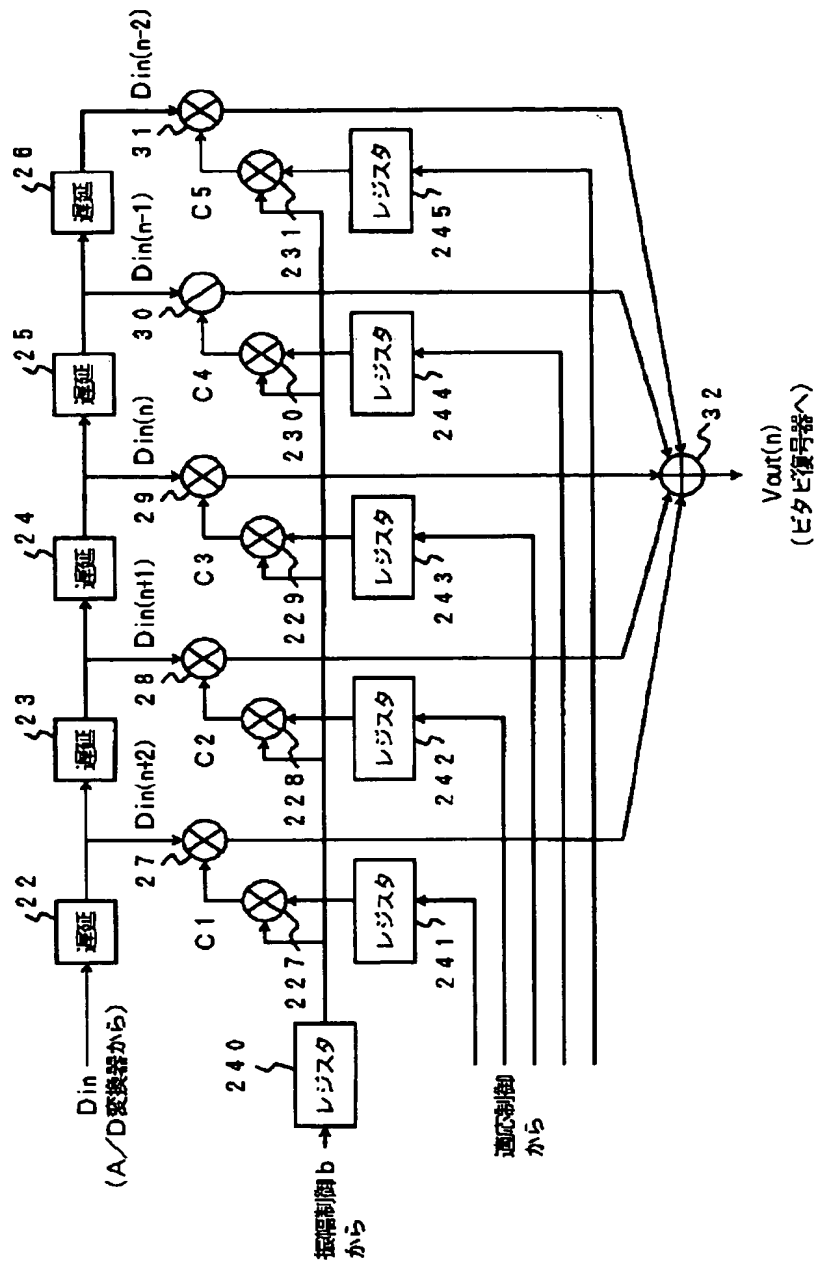
【図13】

図13



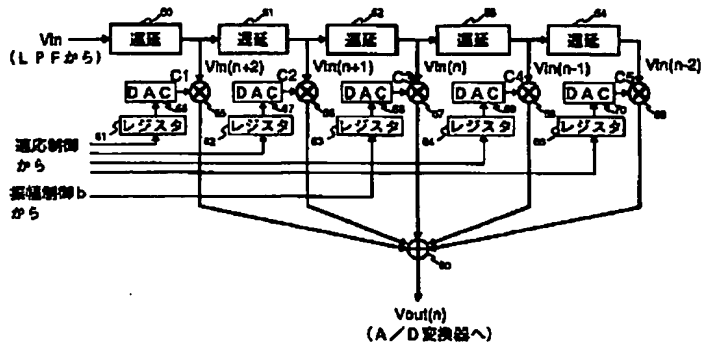
【図6】

図 6



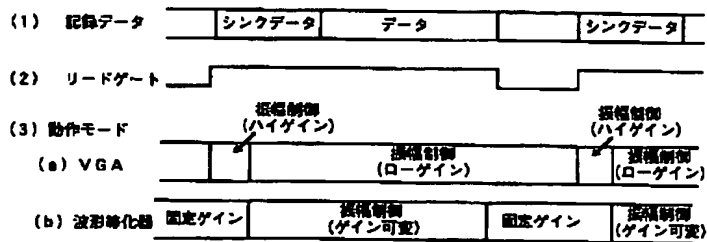
【図 8】

図 8



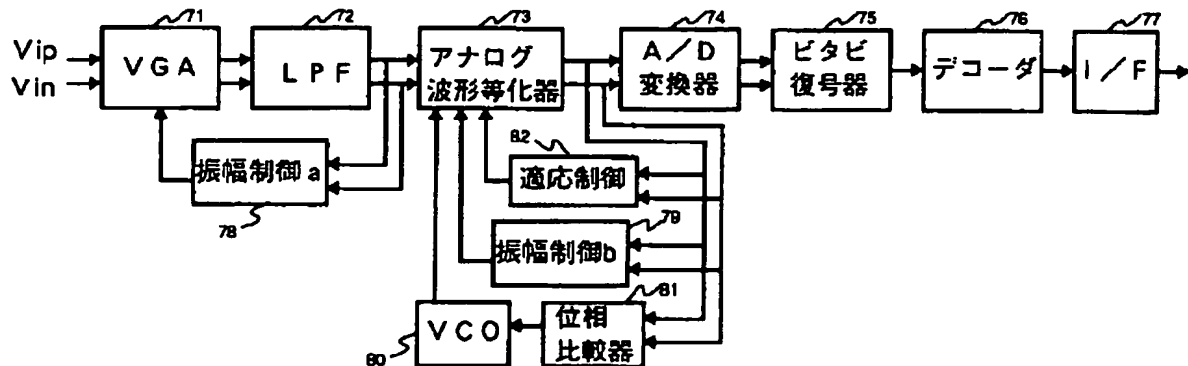
【図 9】

図 9



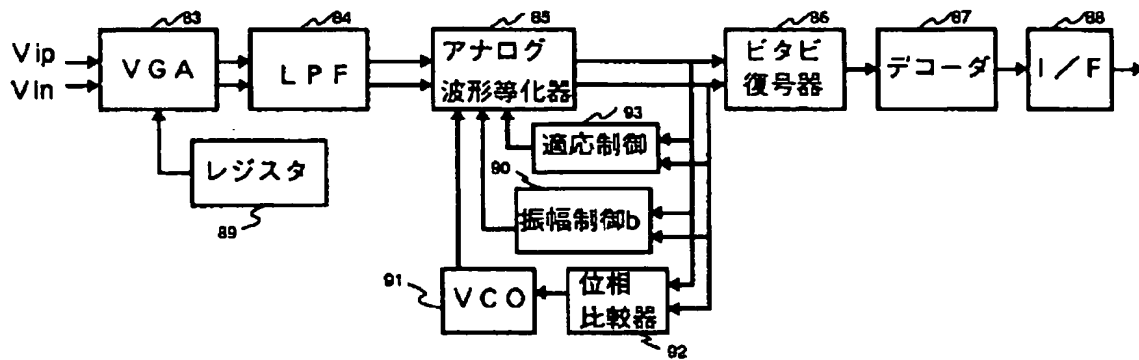
【図 10】

図 10



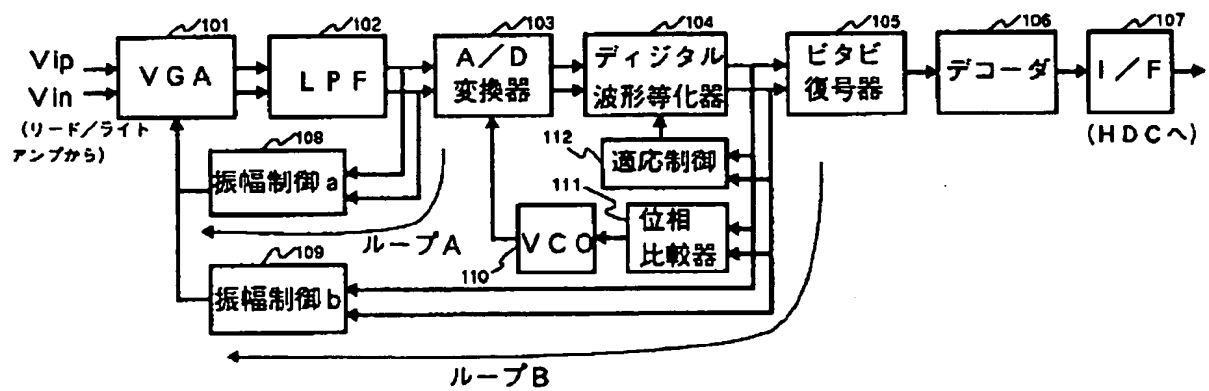
【図 11】

図 11



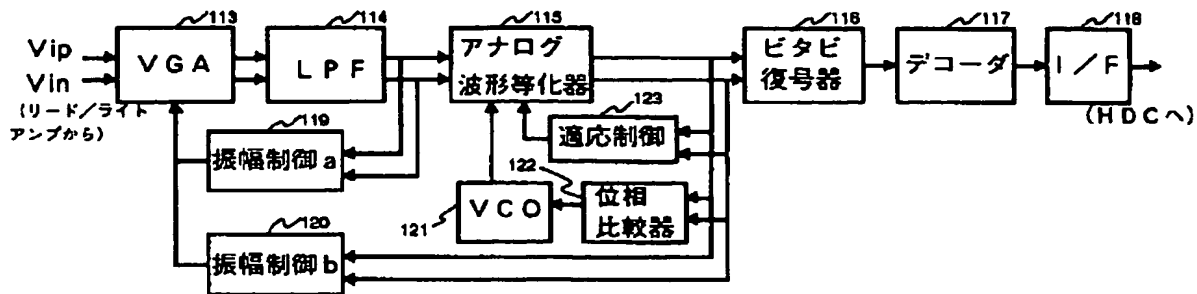
【図 12】

図 12



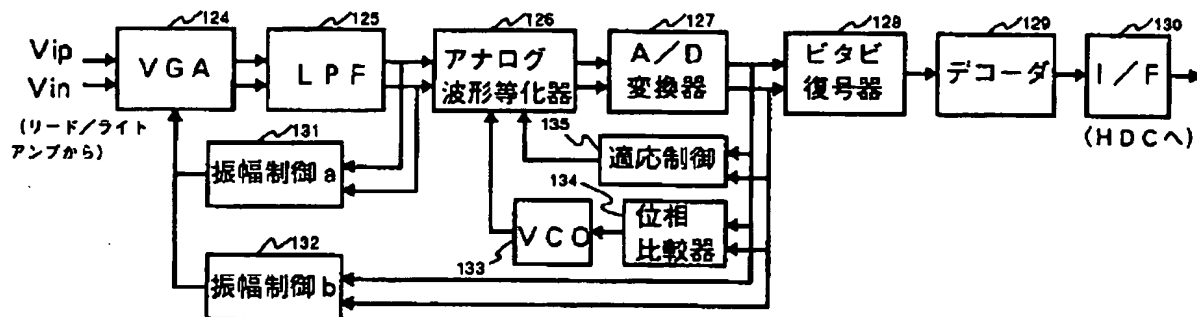
【図14】

図14



【図15】

図15



フロントページの続き

(72) 発明者 石田 嘉輝
神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(72) 発明者 勝 治人
神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(72) 発明者 奈良 孝
群馬県高崎市西横手町111番地 株式会社日立製作所汎用半導体本部内

(72) 発明者 高師 輝実
神奈川県小田原市国府津2880番地 株式会社日立製作所ストレージシステム事業部内

BACKGROUND ART INFORMATION

TOSHIBA

The following information has been determined, to the best of TOSHIBA's ability, as possibly relevant to the describing and claiming of the invention of the subject case in a U.S. patent application. Based on this information and pursuant to 37 CFR 1.56(b), please prepare and file the proper Information Disclosure Statement or equivalent document.

☆ PATENT NUMBER, PUBLICATION ; INVENTOR(S), AUTHOR(S) ; DATE etc.

Japanese Patent Disclosure (kokai) No. P2000-15515; Y. Kashihara ; June, 27, 2000

☆ CONCISE EXPLANATION

This reference shows the information format structure of the optical disk which uses the training data for the adaptive controlled signal processing. However, this reference does not mention the behavior of the adaptive controlled signal processing itself.

☆ Japanese Patent Disclosure (kokai) No. PH06-4810; M. Hara, et al. ; June, 19, 1992

☆ In this reference, the tap coefficients of the transversal filter are calculated to reduce the difference between the equalized reproduced signals and the purpose waveform signals with LMS algorithm. However, the purpose waveform signal does not modified by the adaptive controlled reference levels of the Viterbi decoder.

☆

☆

PRIOR APPLICATION(S) OF INVENTOR(S) OR OF KABUSHIKI KAISHA TOSHIBA (ASSIGNEE)
APPLICATION NUMBER TOSHIBA REFERENCE COUNTRY

AGENT

MEMO

~~Japanese Patent~~

P2002-64354 3R4034080

P2000-193209 3Z4031959 USA.

INVENTOR(S)

SIGNATURE & DATE

CHECKED BY



Shintaro Takehara
Yutaka Kashihara

June, 12, 2002

June, 12, 2002

PATENT ENGINEER'S COMMENT ON INVENTOR(S) INFORMATION OR PATENT ENGINEER'S INFORMATION

☆

上記以外に思ひあはるものなし

CHECKED BY



PATENT ENGINEER(S)
SIGNATURE & DATE

Shing Baby

June 18, 2002

(to U.S.
Attorney)

P2002-64354

TOSHIBA REFERENCE

3R G 34080

JAPANESE AGENT REFERENCE

Sheet

of